

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058531

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H01L 21/31

H01L 21/316

H01L 29/78

(21)Application number : 10-231003

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 17.08.1998

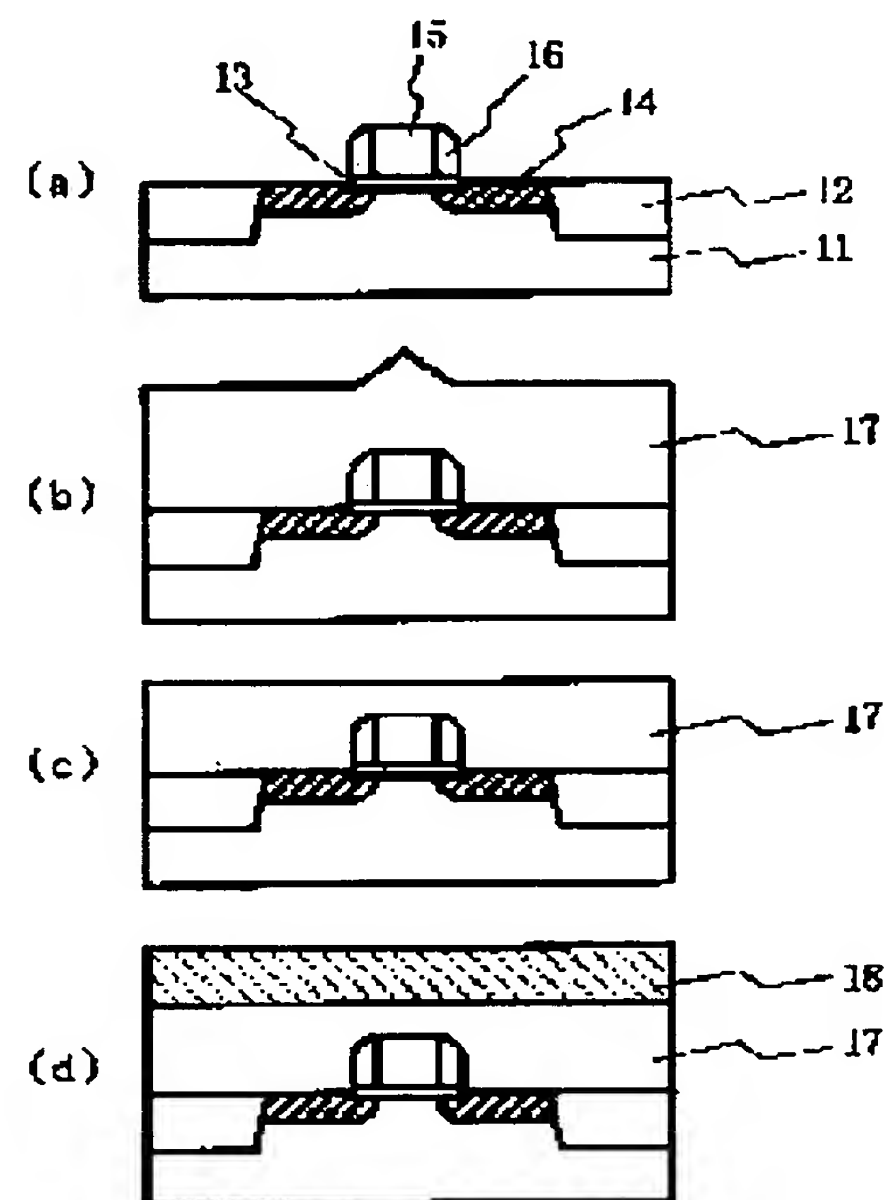
(72)Inventor : ASAGA TATSUYA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method by which a more finely constituted semiconductor device can be manufactured stably by forming a first insulating film on a substrate by a chemical vapor growth method using high-density plasma, and, after the formed film is flattened by chemical mechanical polishing, a second insulating film by a chemical vapor deposition method.

**SOLUTION:** After an element isolation and insulation layer 12, a gate oxide film 13, a diffusion layer 14, a gate electrode 15, and side wall spacers 16 are formed on a single-crystal silicon substrate 11, a silicon dioxide film 17 having a thickness of about  $0.8\ \mu\text{m}$  is formed on the diffusion layer 14 by a high-density plasma enhanced chemical vapor growth method. Then the silicon dioxide film 17 is flattened by polishing the film 17 until its thickness on the diffusion layer 14 becomes  $0.6\ \mu\text{m}$  by chemical mechanical polishing. After the film 17 is flattened, a PSG film 18 having a thickness of about  $0.4\ \mu\text{m}$  is formed on the film 17 by an atmospheric pressure chemical vapor deposition method. Consequently, a narrower wiring space can be buried even through a low-temperature process.



## LEGAL STATUS

[Date of request for examination]

06.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

withdrawal

[Date of final disposal for application]

30.01.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-58531

(P2000-58531A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 L 21/31		H 0 1 L 21/31	C 5 F 0 4 0
21/316		21/316	X 5 F 0 4 5
			M 5 F 0 5 8
29/78		29/78	3 0 1 N

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平10-231003

(22)出願日 平成10年8月17日(1998.8.17)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 浅賀 達也

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

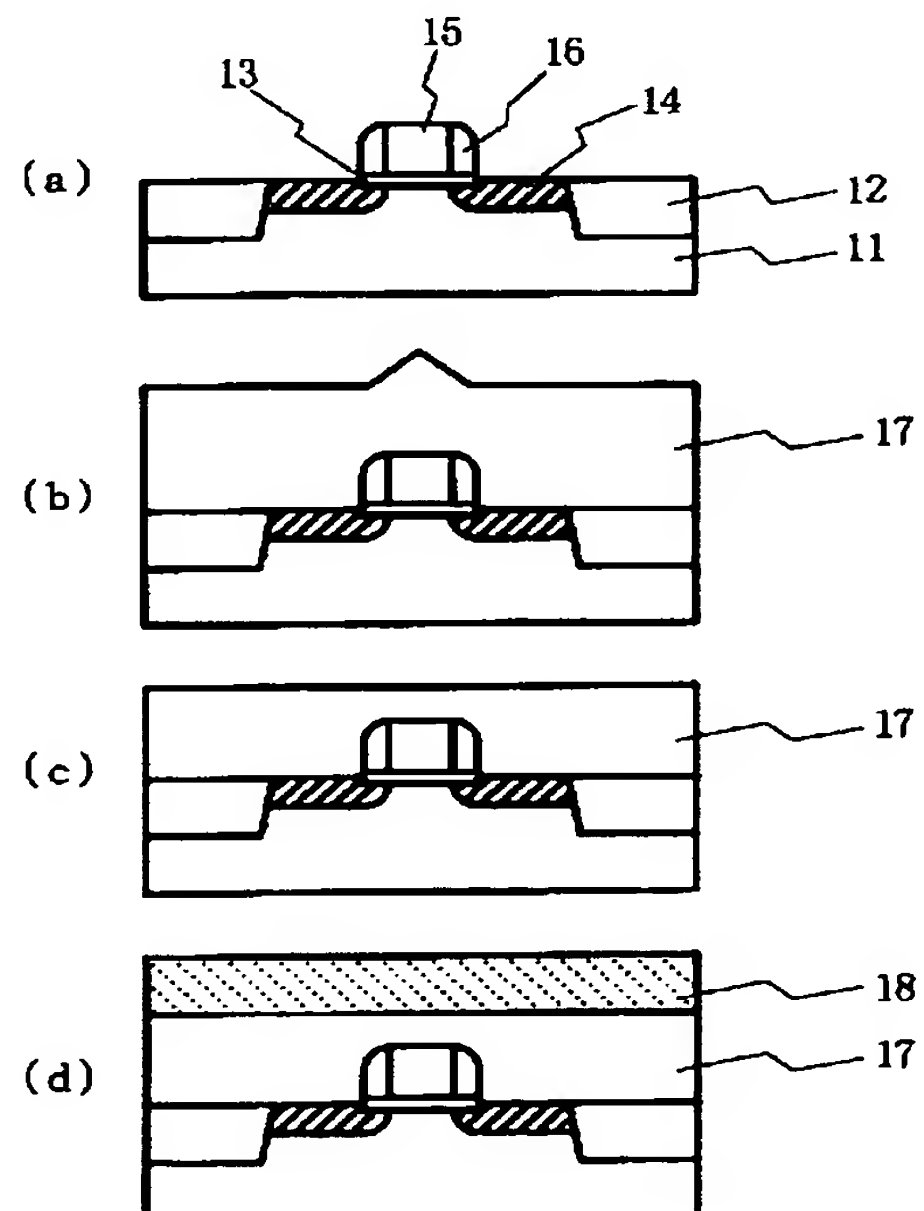
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】より低温で、制御性の良い半導体装置の層間絶縁膜形成方法を提供する。

【解決手段】単結晶シリコン基板11上に、MOSトランジスタを形成後、高密度プラズマを用いた化学気相成長法にて二酸化シリコン膜17を形成し、それを化学的機械研磨法にて平坦化した後、PSG膜18を形成する。



## 【特許請求の範囲】

【請求項1】基板上にMOSトランジスタを形成する工程と、前記基板上に高密度プラズマを用いる化学気相成長法にて第1の絶縁膜を形成する工程と、前記第1の絶縁膜の表面を、前記MOSトランジスタを構成する層まで達することのないように化学的機械研磨法によって平坦化する工程と、前記第1の絶縁膜上に化学気相成長法にて主として二酸化シリコンからなる第2の絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】第1の絶縁膜を高密度プラズマを用いる化学気相成長法にて形成する工程において、前記基板の拡散層表面を基準として前記MOSトランジスタを構成する層の最も高い部分までの高さよりも、前記基板の拡散層表面上の前記第1の絶縁膜の厚さが0.2～0.7μm厚くなるように形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】少なくとも燐を含んだ二酸化シリコンからなる第2の絶縁膜を化学気相成長法にて形成することを特徴とする請求項1または2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の層間絶縁膜に関し、特にシリコン基板上に形成されたMOSトランジスタを覆う層間絶縁膜の形成方法に関する。

## 【0002】

【従来の技術】近年、半導体装置は高集積化の要求から、配線の微細化、多層化が進められてきた。これを実現するために層間膜では狭配線スペースへの埋め込み性や高い平坦性を向上させることが要求されている。

【0003】従来、シリコン基板上に形成されたMOSトランジスタを覆う層間絶縁膜にはBPSC膜が用いられてきた。図3は従来の層間絶縁膜の製造方法を示す断面図である。以下図3を用いて説明する。

【0004】まず、図3(a)に示すようにMOSトランジスタを形成した基板上に、減圧化学気相成長法によって、二酸化シリコン膜31を堆積させる。次に常圧化学気相成長法によってBPSC膜32を堆積し、800～900℃の高温熱処理でリフローさせる。そして図3(b)に示すように化学的機械研磨法によって、BPSC膜11の表面を平坦化する。しかる後、上部配線層を形成すれば半導体装置が完成する。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来技術による層間絶縁膜形成には以下のような問題がある。

【0006】まず、MOSトランジスタのゲート配線の配線間スペースの埋め込みにおいて、0.35μm以下のスペースの場合、このスペースをボイドなく埋め込むにはBPSC膜のリフローを850℃以上の高温で行う

必要があり、トランジスタの形成上大きな制約となってしまう。

【0007】また、BPSC膜を化学的機械研磨で平坦化する場合、その研磨レートが非常に早いため、制御性が悪く、残膜厚のウェハ間ばらつきやウェハ面内ばらつきが大きくなってしまう。さらにBPSC膜は吸湿性が高く、BPSC膜を形成してから研磨するまでに膜質の経時変化が起こるため、より研磨の制御を難しくしている。

10 【0008】そこで本発明は、低温プロセスでありながら、より狭い配線スペースの埋め込みを可能とし、さらに制御性の高い化学的機械研磨による平坦化を達成して、より微細化された半導体装置を安定して製造できる製造方法を提供する。

## 【0009】

【課題を解決するための手段】本発明の請求項1記載の半導体装置の製造方法は、基板上にMOSトランジスタを形成する工程と、前記基板上に高密度プラズマを用いる化学気相成長法にて第1の絶縁膜を形成する工程と、前記第1の絶縁膜の表面を、前記MOSトランジスタを構成する層まで達することのないように化学的機械研磨法によって平坦化する工程と、前記第1の絶縁膜上に化学気相成長法にて主として二酸化シリコンからなる第2の絶縁膜を形成する工程を有することを特徴とする。

20 【0010】この発明によれば、第1の絶縁層が低温プロセスでありながら優れた埋め込み性を持つため、半導体装置がより微細化できるという効果を有する。

【0011】本発明の請求項2記載の半導体装置の製造方法は、第1の絶縁膜を高密度プラズマを用いる化学気相成長法にて形成する工程において、前記基板の拡散層表面を基準として前記MOSトランジスタを構成する層の最も高い部分までの高さよりも、前記基板の拡散層表面上の前記第1の絶縁膜の厚さが0.2～0.7μm厚くなるように形成することを特徴とする。

30 【0012】この発明によれば、第1の絶縁膜表面の平坦化が容易に達成できるため、短時間かつばらつきなく半導体装置を製造できるという効果を有する。

【0013】本発明の請求項3記載の半導体装置の製造方法は、請求項3または4記載の半導体装置の製造方法において、少なくとも燐を含んだ二酸化シリコンからなる第2の絶縁膜を化学気相成長法にて形成することを特徴とする。

【0014】この発明によれば、絶縁層がゲッタリング効果を有するため、トランジスタの劣化を抑制するという効果を有する。

## 【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

50 【0016】（実施例1）図1は本発明の実施例1を示す断面図である。まず、図1(a)のように、通常のM

OSトランジスタの形成方法によって、単結晶シリコン基板11上に、二酸化シリコンからなる厚さ約0.4 $\mu$ mの素子分離絶縁層12、厚さ約7nmのゲート酸化膜13、拡散層14、多結晶シリコンからなる厚さ約0.4 $\mu$ mのゲート電極15、二酸化シリコンからなるサイドウォール・スペーサ16を形成する。実施例1では、素子分離形成にSTI（シャロウ・トレンチ・アイソレーション）を採用しているため、素子分離絶縁層12の表面と拡散層14の表面がほぼ一致している。

【0017】次に、図1（b）のように、高密度プラズマ化学気相成長法により、拡散層14上で厚さ約0.8 $\mu$ mとなる二酸化シリコン膜17を形成する。

【0018】本実施例ではゲート電極15の最も高い部分は拡散層から約0.4 $\mu$ mの高さであり、二酸化シリコン膜17はこれよりも0.4 $\mu$ m厚く形成していることになる。形成する二酸化シリコン膜17の膜厚を0.5 $\mu$ m未満にすると、ゲート電極の最高部に対し0.1 $\mu$ m未満の余裕しかなくなるため、次の研磨による平坦化の際、ウェハ面内の研磨量ばらつきなどによりゲート電極が露出してしまふ。またゲート電極が露出しない程度に研磨しようとする平坦化が不十分となってしまう。一方、形成する二酸化シリコン膜17の膜厚が1.1 $\mu$ mを超え、ゲート電極の最高部に対し0.7 $\mu$ mを超える厚さにした場合、成膜時間が長時間になってしまうため好ましくない。

【0019】したがって形成する二酸化シリコン膜17の膜厚はゲート電極の最高部に対し、0.2～0.7 $\mu$ mとなるようにするのが好ましく、特に好ましくは0.4 $\mu$ mである。

【0020】上記の高密度プラズマ化学気相成長法の条件を説明する。本実施例では高密度プラズマを得るために誘導結合型プラズマを用いた化学気相成長（IC-PECVD）法を採用し、シランと酸素を原料ガスとして二酸化シリコン膜17を形成している。シランの流量は80sccm、酸素の流量は130sccm、高周波バイアスは2000W、またシリコン基板11側にも高周波バイアス2500Wを印可している。このような条件で二酸化シリコン膜17を形成することにより、ゲート電極間の0.2 $\mu$ m程度の狭いスペースにもボイドなく埋め込むことができる。

【0021】本実施例においては高密度プラズマ化学気相成長法にIC-PECVD法を採用したが、電子サイクロトロン共鳴を用いた化学気相成長（ECR-PECVD）法や、ヘリコン波を用いた化学気相成長（HW-PECVD）法を採用してももちろんかまわない。

【0022】次に、図1（c）のように二酸化シリコン膜17を化学的機械研磨（CMP）法により、拡散層14上の膜厚が0.6 $\mu$ mになるまで研磨し、平坦化を行う。

【0023】この時のCMP法の条件を説明する。研磨

液には12wt%フュームドシリカ砥粒を含みアンモニア水によってpH10～11に調整された研磨液を使用し、研磨パッドには発泡ポリウレタンと不織布を重ねたスタックタイプのパッドを使用した。研磨ヘッドの回転数は35rpm、定盤の回転数は50rpm、研磨ヘッドの荷重は500g/cm<sup>2</sup>である。この条件での二酸化シリコンの研磨レートは約0.2 $\mu$ m/minで、ウェハ面内の均一性は1 $\sigma$ で約3%と高いため、ウェハ全面にわたって精度良く平坦化が可能である。

【0024】続いて、図1（d）のように平坦化後の二酸化シリコン膜17上に、常圧化学気相成長（APCVD）法により厚さ約0.4 $\mu$ mのPSG膜18を形成する。PSG膜の濃度は約7mol%である。

【0025】この時のAPCVD法の条件を説明する。テトラエチルオルソシリケート（TEOS）の気化ガスと、トリメトキシリン酸（TMP）の気化ガスと、オゾンを原料ガスとし、50℃の窒素ガスバブリングにより気化されたTEOSは900sccm、40℃の窒素ガスバブリングにより気化されたTMPは1000sccm、オゾンは5000sccmを供給し、基板温度420℃で成膜される。

【0026】成膜後、PSG膜18は750℃にて30分の熱処理が実施され、残留水分の排除、膜の緻密化が行われる。

【0027】PSG膜はゲッタリング効果を有し、燐を含まない二酸化シリコン膜を使った場合に比べトランジスタ劣化抑制の効果がある。また、本実施例では既に平坦化された表面にPSG膜を形成するため、熱処理は800℃以下で十分である。従来に比べ十分低温となり、短ゲート長のトランジスタを問題なく製造できる。

【0028】本発明ではAPCVD法と熱処理によってPSG膜を形成したが、もちろんこれ以外の方法で成膜してもかまわない。

【0029】以上で層間膜の形成は終了する。以後は、通常の写真工程、エッチング工程にて層間膜にコンタクト孔を開口し、CVD工程、エッチバック工程によるコンタクトプラグの形成、さらにスパッタ工程、フォト工程、エッチング工程による上部配線層の形成を経て半導体装置の製造が終了する。

【0030】（実施例2）図2は本発明の実施例2を示す断面図である。まず、図2（a）のように、通常のMOSトランジスタの形成方法によって、単結晶シリコン基板11上に、二酸化シリコンからなる厚さ約0.5 $\mu$ mの素子分離絶縁層22、厚さ約7nmのゲート酸化膜13、拡散層14、多結晶シリコンからなる厚さ約0.3 $\mu$ mのゲート電極25、二酸化シリコンからなるサイドウォール・スペーサ16を形成する。実施例2では熱酸化により素子分離層を形成しているため、素子分離絶縁層22の表面は、拡散層14の表面より約0.2 $\mu$ m高くなっている。



【0031】次に、図1(b)のように、高密度プラズマ化学気相成長法により、拡散層14上で厚さ約0.9  $\mu\text{m}$ となる二酸化シリコン膜27を形成する。

【0032】本実施例ではゲート電極25の最も高い部分は、素子分離絶縁層上の部分で、拡散層14の表面から約0.5  $\mu\text{m}$ の高さとなる。二酸化シリコン膜27はこれよりも0.4  $\mu\text{m}$ 厚く形成していることになる。形成する二酸化シリコン膜27の膜厚を0.6  $\mu\text{m}$ 未満にすると、ゲート電極の最高部に対し0.1  $\mu\text{m}$ 未満の余裕しかなくなるため、次の研磨による平坦化の際、ウェハ面内の研磨量ばらつきなどによりゲート電極が露出してしまふ。またゲート電極が露出しない程度に研磨しようとする平坦化が不十分となってしまう。一方、形成する二酸化シリコン膜27の膜厚が1.2  $\mu\text{m}$ を超え、ゲート電極の最高部に対し0.7  $\mu\text{m}$ を超える厚さにした場合、成膜時間が長時間になってしまうため好ましくない。

【0033】したがって形成する二酸化シリコン膜27の膜厚はゲート電極の最高部に対し、0.2～0.7  $\mu\text{m}$ となるようにするのが好ましく、特に好ましくは0.4  $\mu\text{m}$ である。

【0034】上記の高密度プラズマ化学気相成長法の条件は実施例1の場合と同様である。この条件で二酸化シリコン膜27を形成することにより、ゲート電極間0.2  $\mu\text{m}$ 程度の狭いスペースにもボイドなく埋め込むことができる。

【0035】次に、図1(c)のように二酸化シリコン膜27を化学的機械研磨(CMP)法により、拡散層14上の膜厚が0.7  $\mu\text{m}$ になるまで研磨し、平坦化を行う。

【0036】この時のCMP法の条件は実施例1の場合と同様である。この条件での二酸化シリコンの研磨レートは約0.2  $\mu\text{m}/\text{min}$ で、ウェハ面内の均一性は1 $\sigma$ で約3%と高いため、ウェハ全面にわたって精度良く平坦化が可能である。

【0037】続いて、図1(d)のように平坦化後の二酸化シリコン膜27上に、常圧化学気相成長(APCVD)法により厚さ約0.3  $\mu\text{m}$ のPSG膜28を形成する。PSG膜のリン濃度は約7mol%である。

【0038】この時のAPCVD法の条件は実施例1の場合と同様である。

【0039】成膜後、PSG膜28は750℃にて20分の熱処理が実施され、残留水分の排除、膜の緻密化が行われる。

【0040】PSG膜はゲッタリング効果を有し、リンを含まない二酸化シリコン膜を使った場合に比べトランジスタ劣化抑制の効果がある。また、本実施例では既に平坦化された表面にPSG膜を形成するため、熱処理は800℃以下で十分である。従来に比べ十分低温となり、短ゲート長のトランジスタを問題なく製造できる。

【0041】以上で層間膜の形成は終了する。以後は、通常の写真工程、エッチング工程にて層間膜にコンタクト孔を開孔し、CVD工程、エッチバック工程によるコンタクトプラグの形成、さらにスパッタ工程、フォト工程、エッチング工程による上部配線層の形成を経て半導体装置の製造が終了する。

【0042】

【発明の効果】以上述べたように、本発明の半導体装置の製造方法によれば、低温プロセスでありながら、より狭い配線スペースの埋め込みを可能とし、さらに制御性の高い化学的機械研磨による平坦化を達成できる。したがって、より微細化された半導体装置を安定して提供できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の実施例1を示す断面図。

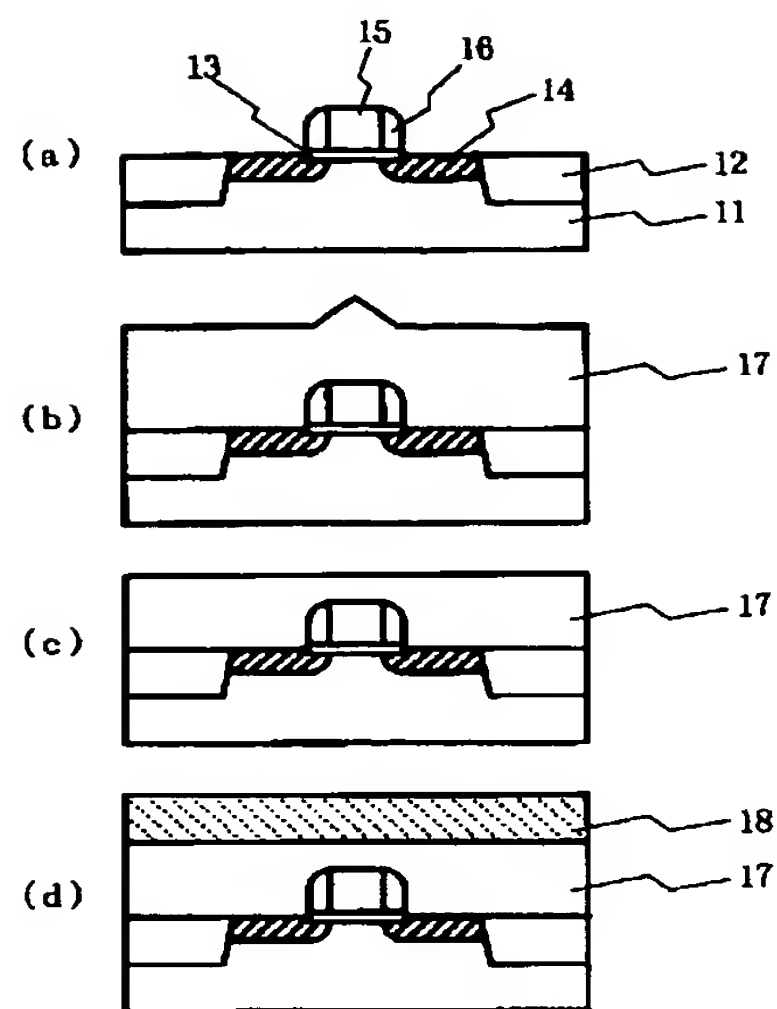
【図2】本発明の実施例2を示す断面図。

【図3】従来の層間絶縁膜の製造方法を示す断面図。

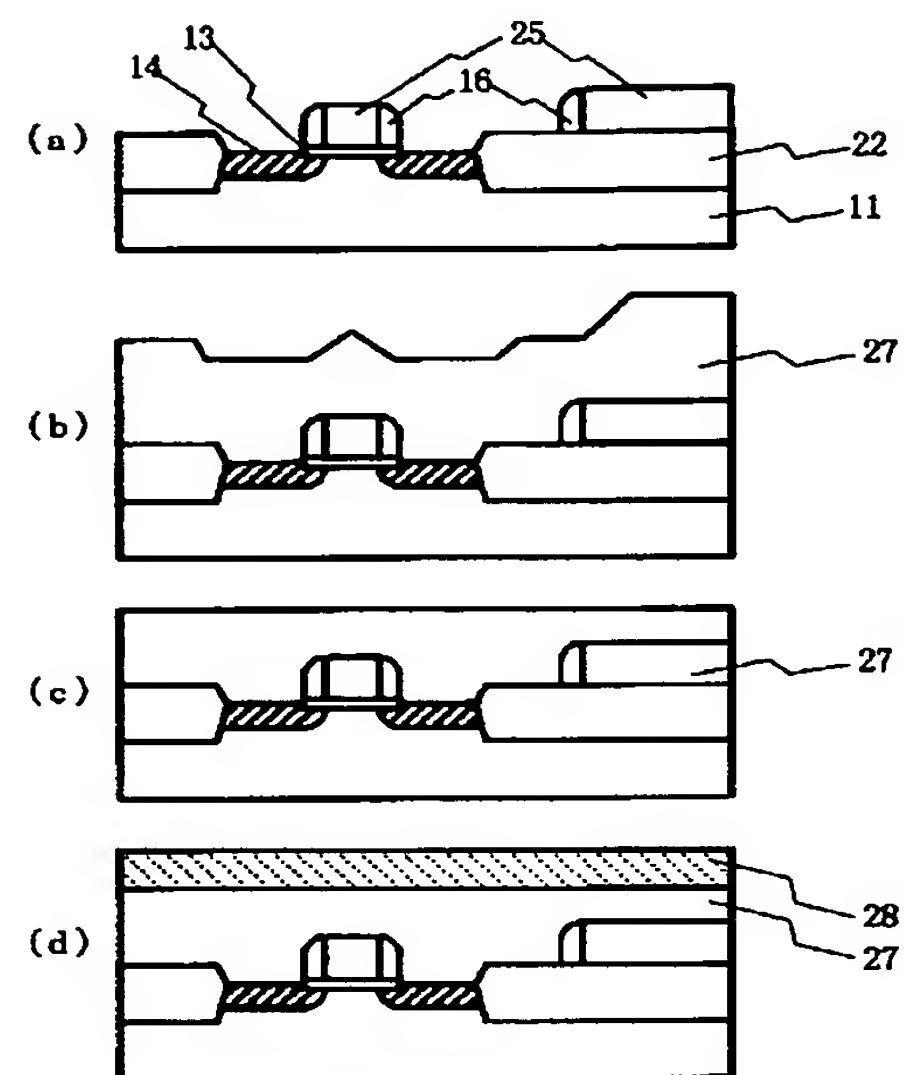
【符号の説明】

- 11・・・単結晶シリコン基板
- 12、22・・・素子分離絶縁層
- 13・・・ゲート酸化膜
- 14・・・拡散層
- 15、25・・・ゲート電極
- 16・・・サイドウォールスペーサ
- 17、27・・・二酸化シリコン膜
- 18、28・・・PSG膜
- 31・・・二酸化シリコン膜
- 32・・・BPSG膜

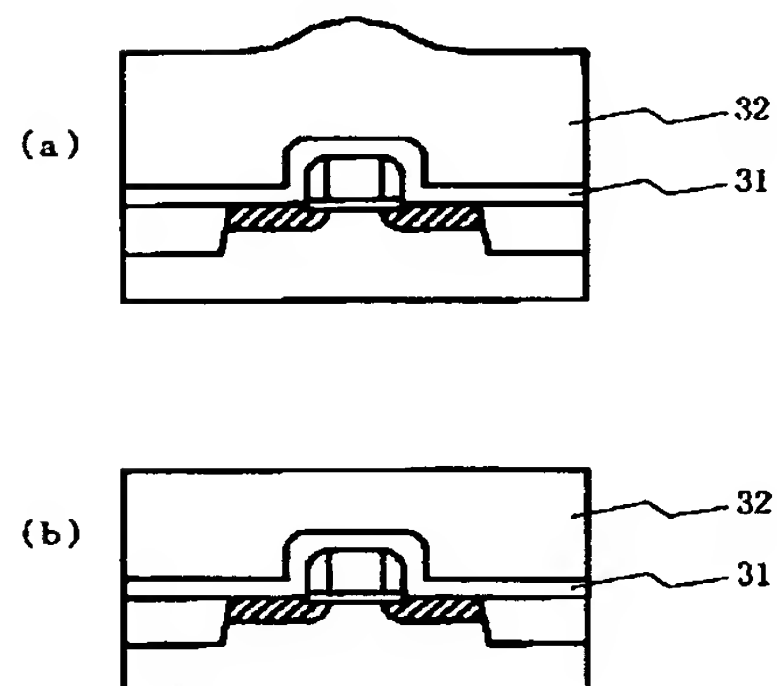
【図1】



【図2】



【図3】



フロントページの続き

F ターム(参考) 5F040 DA15 DC01 EL01 EL03  
 5F045 AA08 AA10 AB32 AB35 AC01  
 AC07 AC11 AD08 AE29 AF03  
 BB07 BB17 CA06 CB05 DC51  
 EH11 GB09 GH06 HA16  
 5F058 BA20 BD01 BD04 BD06 BD07  
 BF07 BF09 BF23 BF25 BF29  
 BH01 BJ01